

11771225

Basic Patent (No,Kind,Date): JP 6089905 A2 19940329 <No. of Patents: 039>

THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; CHIYOU KOUYUU; TAKEMURA YASUHIKO

IPC: *H01L-021/336; H01L-029/784

CA Abstract No: 121(24)290737B

Derwent WPI Acc No: C 94-141747

JAPIO Reference No: 180350E000001

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1085352	A	19940413	CN 93109877	A	19930706
CN 1127937	A	19960731	CN 95109338	A	19950811
CN 1238555	A	19991215	CN 99107111	A	19990527
CN 1248038	A	20000322	CN 99117970	A	19990814
CN 1292569	A	20010425	CN 99124885	A	19991118
CN 1043704	B	19990616	CN 95109338	A	19950811
CN 1052568	B	20000517	CN 93109877	A	19930706
JP 6089905	A2	19940329	JP 93167502	A	19930614 (BASIC)
JP 6296023	A2	19941021	JP 93285988	A	19931020
JP 7022311	A2	19950124	JP 9180800	A	19910318
JP 11154647	A2	19990608	JP 98262315	A	19931020
JP 11154750	A2	19990608	JP 98262314	A	19980101
JP 2000058864	A2	20000225	JP 99233265	A	19990819
JP 2000082819	A2	20000321	JP 99233271	A	19990819
JP 2000332261	A2	20001130	JP 2000119266	A	19931020
JP 2001119037	A2	20010427	JP 2000249314	A	19930614
JP 2001185734	A2	20010706	JP 2000321792	A	20001020
JP 2001185735	A2	20010706	JP 2000322036	A	20001020
JP 2001189462	A2	20010710	JP 2000322035	A	20001020
JP 2001196596	A2	20010719	JP 2000321794	A	20001020
JP 2003023163	A2	20030124	JP 2002143910	A	20020517
JP 2003158271	A2	20030530	JP 2002234009	A	20020809
JP 3320845	B2	20020903	JP 93167502	A	19930614
JP 3355137	B2	20021209	JP 98262315	A	19931020
JP 3355181	B2	20021209	JP 2000322035	A	20001020
JP 3357321	B2	20021216	JP 99233265	A	19990819
JP 3357337	B2	20021216	JP 2000119266	A	19931020
JP 3383280	B2	20030304	JP 2000321792	A	20001020
JP 3535500	B2	20040607	JP 2002234009	A	20020809
JP 96024104	B4	19960306	JP 9180800	A	19910318
KR 9601608	B1	19960202	KR 924487	A	19920318
KR 9710652	B1	19970630	KR 9312642	A	19930706
US 5313076	A	19940517	US 853690	A	19920317

US 5583369	A	19961210	US 614849	A	19960312
US 5696386	A	19971209	US 193748	A	19940209
US 5946561	A	19990831	US 757616	A	19961129
US 20010051416	AA	20011213	US 911615	A	20010725
US 6271066	BA	20010807	US 95172	A	19930723
US 6562672	BB	20030513	US 911615	A	20010725

Priority Data (No,Kind,Date):

JP 9345786 A 19930210
JP 92201932 A 19920706
JP 92218324 A 19920724
JP 92201932 A1 19920706
JP 92218324 A1 19920724
JP 93285988 A 19931020
JP 9180800 A 19910318
JP 98262315 A 19931020
JP 99233265 A 19990819
JP 99233271 A 19990819
JP 2000119266 A 19931020
JP 2000249314 A 19930614
JP 2000321792 A 20001020
JP 2000322036 A 20001020
JP 2000322035 A 20001020
JP 2000321794 A 20001020
JP 2002143910 A 20020517
JP 2002234009 A 20020809
JP 93167502 A 19930614
US 614849 A 19960312
US 262335 B1 19940617
US 85931 A3 19930706
US 757616 A 19961129
US 85931 B1 19930706
US 853690 A1 19920317
US 911615 A 20010725
US 95172 A3 19930723
US 853690 A3 19920317
US 95172 A 19930723

Scanned by JPO/JAI
DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04624123 **Image available**

THIN-FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **06-296023** [JP 6296023 A]

PUBLISHED: October 21, 1994 (19941021)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company

or Corporation), JP (Japan)

APPL. NO.: 05-285988 [JP 93285988]

FILED: October 20, 1993 (19931020)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R004 (PLASMA); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: , Section No. FFFFFF, Vol. 94, No. 10, Pg. FFFFFF, FF, FFFF (FFFFFF)

ABSTRACT

PURPOSE: To obtain a method for improving the reliability of a semiconductor device such as a thin-film transistor(TFT) being excellent in characteristics and reliability.

CONSTITUTION: In a process of forming a semiconductor device such as a thin-film transistor(TFT) on an insulating substrate, a film 102 composed mainly of aluminum nitride is formed and then the semiconductor device such as the TFT is formed thereon directly, or a film 103 composed mainly of silicon oxide or the like is formed on that film and the device is formed thereon. This method is applied to a thin-film integrated circuit wherein the semiconductor device is integrated and, in particular, to a liquid crystal display of an active matrix type.

特開平6-296023

(43)公開日 平成6年(1994)10月21日

(51) Int. Cl. 5
H01L 29/784

識別記号

F I

9056-4M

H01L 29/78

311 X

審査請求 未請求 請求項の数 7 FD (全14頁)

(21)出願番号 特願平5-285988
 (22)出願日 平成5年(1993)10月20日
 (31)優先権主張番号 特願平5-45786
 (32)優先日 平5(1993)2月10日
 (33)優先権主張国 日本 (JP)

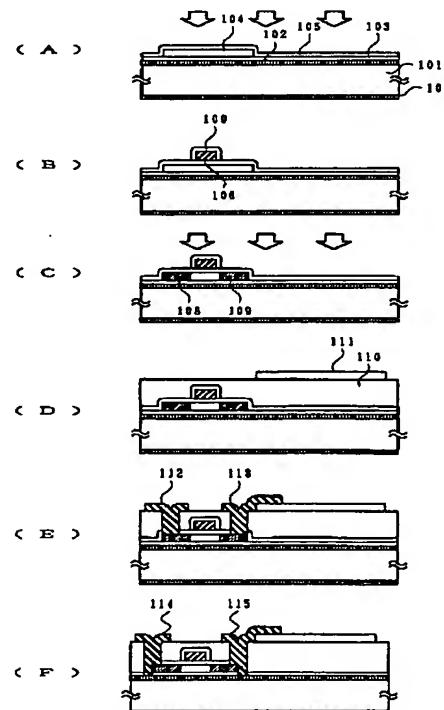
(71)出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(54)【発明の名称】薄膜状半導体装置およびその作製方法

(57)【要約】

【目的】特性・信頼性の優れた薄膜トランジスタ(TFT)等の半導体装置の信頼性を向上せしめる方法を提供する。

【構成】絶縁基板上に薄膜トランジスタ(TFT)等の半導体装置を形成する工程において、窒化アルミニウムを主成分とする被膜を形成した後、その上に直接、もしくはその上に酸化珪素等を主成分とする被膜を形成し、その上に形成されたTFT等の半導体装置、および、前記半導体装置の集積化された薄膜集積回路、特に、アクティブマトリクス型液晶ディスプレーへ応用する半導体装置に関する。



【特許請求の範囲】

【請求項1】 基板上に、窒化アルミニウムを主成分とする第1の被膜を形成する工程と、前記第1の被膜上に直接もしくは間接にシリコンを主成分とする第2の被膜を形成する工程と、前記第2の被膜上に直接もしくは間接に金属もしくは半導体の配線を形成する工程とを有することを特徴とする薄膜状半導体装置の作製方法。

【請求項2】 基板上に、窒化アルミニウムを主成分とする第1の被膜と、前記第1の被膜上に直接もしくは間接にシリコンを主成分とする第2の被膜と、前記第2の被膜上に直接もしくは間接に金属もしくは半導体の配線とを有することを特徴とする薄膜状半導体装置。

【請求項3】 基板上に、酸化珪素膜と、酸化珪素上に薄膜トランジスタとを有することを特徴とする薄膜状半導体装置において、酸化珪素に比して高い熱伝導度を有する透光性被膜を、該基板と該酸化珪素の間に有することを特徴とする薄膜状半導体装置。

【請求項4】 窒化アルミニウムを主成分とする表面上、もしくは、窒化アルミニウムを主成分とする層の上に酸化珪素を主成分とする層が形成された表面上に形成された薄膜状絶縁ゲイト型素子を有する薄膜状半導体装置。

【請求項5】 請求項4において、該液晶表示装置はアクティブマトリクス回路と、それを制御、駆動するためのドライバ回路とを有し、前記ドライバ回路からアクティブマトリクス回路に出力される薄膜状絶縁ゲイト型素子のチャネル幅は200～1000μmであることを特徴とする薄膜状半導体装置。

【請求項6】 窒化アルミニウムを主成分とする表面上、もしくは、窒化アルミニウムを主成分とする層の上に酸化珪素を主成分とする層が形成された表面上に形成された薄膜状絶縁ゲイト型素子において、該ゲイト型素子のソースもしくはドレインへのコンタクトする配線は、前記窒化アルミニウムを主成分とする表面、もしくは窒化アルミニウムを主成分とする層に接していることを特徴とする薄膜状半導体装置。

【請求項7】 基板上に、窒化アルミニウムを主成分とする第1の被膜を形成する工程と、前記第1の被膜上に直接もしくは間接にシリコンを主成分とするアモルファスの第2の被膜を形成する工程と、前記第2の被膜にアモルファスシリコンを結晶化させる触媒元素を添加する工程と、前記第2の被膜を結晶化させた後、レーザーアニール、ランプアニール、もしくは同等な強光照射による光アニールをおこなう工程とを有することを特徴とする薄膜状半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、基板上に絶縁ゲイト型半導体装置およびそれらが多数形成された集積回路の信頼性を向上させる方法に関する。本発明による半導体装

置は、薄膜トランジスタ（TFT）を用いた液晶ディスプレー等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサー、マイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等）に使用されるものである。

【0002】

【従来の技術】 近年、絶縁基板上、もしくは半導体基板上であっても厚い絶縁膜によって半導体基板と隔てられた表面（絶縁表面）上に絶縁ゲイト型半導体装置（MISFET）を形成する研究が盛んに成されている。特に半導体層（活性層）が薄膜状である半導体装置を薄膜トランジスタ（TFT）という。このような半導体装置においては、単結晶の半導体のような良好な結晶性を有する素子を得ることは困難で、通常は結晶性は有するが単結晶でない、非単結晶の半導体を用いている。

【0003】 このような非単結晶半導体では、欠陥密度が大きく、その欠陥を水素、フッ素のような元素によって中和することによって埋めることとなり、例えば、水素化によって、このような工程が実現された。しかし、水素と半導体元素（シリコン等）の結合は弱く、百数十℃の熱エネルギーによって分解してしまうものであった。このため、長時間にわたって、電圧、電流が印加され、半導体が局所的にも発熱すると容易に水素が離脱し、そのために特性が著しく劣化した。特に、大きな電流を制御するTFT、例えば、アクティブマトリクス回路とそれを駆動するための周辺回路とを有するモノリシック型アクティブマトリクス回路において、周辺回路のドライバTFTはチャネル幅が200μm以上もあり、大きな電流をオン／オフすることから大きな熱源となっていた。

【0004】

【発明が解決しようとする課題】 本発明は、この課題に鑑みてなされたもので、装置使用時に発生する局所的な熱を迅速に放散して、該薄膜回路装置全体を均熱化すべき半導体装置の構造およびそのような半導体装置を製造する方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明の第1は、薄膜状半導体装置において、基板上に窒化アルミニウムを主成分とする被膜と、その上に直接もしくは間接にシリコンを主成分とする半導体被膜と、その上に直接もしくは間接に金属、半導体等の配線とを有することを特徴とする。また、本発明はこのような構成を有する薄膜状半導体装置を作製するための方法にも関し、本発明の第2は、基板上、特に熱伝導の悪い、保温性のよいガラス基板上に、窒化アルミニウムを主成分とする被膜を形成する工程と、その上に直接もしくは間接にシリコンを主成分とする半導体被膜を形成する工程と、その上に直接もしくは間接に金属、半導体等の配線を形成する工程とを

有することを特徴とする。

【0006】窒化アルミニウムは極めて熱伝導性に優れ、また、可視光や近紫外線に対して透明（光学バンドギャップ6. 2 eV）であるので、透明度を要求される目的にも適している。窒化アルミニウムはスパッタ法や反応性スパッタ法、MOCVD（有機金属気相成長）法、プラズマCVD法によって堆積される。反応性スパッタ法によって窒化アルミニウム膜を得るには、アルミニウムをターゲットとして、窒素雰囲気中でおこなうよい。本発明のごとく、十分な放熱をおこなう目的には、窒化アルミニウムの膜厚は、500 Å～5 μm、代表的には、1000～5000 Åが好ましかった。5 μm以上の厚い窒化アルミニウムは剥がれやすく使用に適さなかった。

【0007】さらに、窒化アルミニウム膜はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板からこれらのイオンが半導体装置中に侵入することを防止する効果も有していた。また、窒化アルミニウム被膜の窒素とアルミニウムの比率は、熱伝導に問題のない範囲で化学量論比でも、非化学量論比でもよい。典型的には、窒素とアルミニウムの比率は、（アルミニウム/窒素）=0.9～1.4が好ましく、また、熱伝導度が0.6 W/cmK以上（窒化アルミニウム単結晶

の熱伝導度は2 W/cmK）であると好ましい結果が得られた。

【0008】また、窒素とアルミニウムの比率を変えることによって、被膜の応力を最適化してもよい。さらに、窒素とアルミニウム以外に、微量のホウ素、シリコン、炭素、酸素等を0.01～20原子%、添加することによっても基板との応力のマッチング、最適化、応力歪みの最小化が可能である。また、この窒化アルミニウムを主成分とする被膜は結晶性でも非晶質でもよい。

10 【0009】熱伝導度を向上させる目的には、ダイヤモンド系の材料（例えば、多結晶ダイヤモンド薄膜、硬質炭素膜、ダイヤモンド状炭素膜等）を用いることが通常、考えられるが、本発明の目的とするような微小な領域では、ダイヤモンド系材料は一般に酸化珪素系の材料との密着性が良くないので十分な効果が得られない。また、ブロッキング層、パッシベーション層として通常の半導体プロセスで良く用いられる窒化珪素膜は熱伝導度が低いので本発明を実施するには適当でない。以下表1に、主要な薄膜材料の特性を比較した。（○は優れている。△は中程度、×は劣っていることを示す。）

【0010】

【表1】

	密着性	透光性	機械強度	熱伝導度	耐熱性	Naプロッキング特性
A1N	○	○	○	○	○	○
DLC	△	△	○	○	△	△
SnO ₂	○	○	△	○	△	△
SiN _x	○	○	○	△～×	○	○

（A1Nは窒化アルミニウム、DLCはダイヤモンド状炭素膜、SnO₂は酸化錫、SiN_xは窒化珪素を表す。また、密着性は酸化珪素に対する密着性である。）

【0011】本発明においては、金属や半導体の配線（ゲート配線等）から発生する熱はその下に存在する半導体被膜（活性層等）に伝達し、また、半導体被膜に電流が通じることによっても発熱し、半導体被膜の温度が上昇するが、そこに滞留することなく、速やかにその下にある窒化アルミニウム被膜に伝達され、よって、上記配線および半導体被膜の温度は低く抑えられ、半導体被膜からの水素離脱が減少する。特に、TFTのドレインチャネル間での高い逆バイアス電圧の印加によるホットキャリヤの発生による局所的発熱による局所的な劣化を均熱化によって抑えることができる。

【0012】本発明において、半導体被膜を窒化アルミニウム被膜上に直接堆積することは、密着性は良いものの、半導体のキャリヤが窒化アルミニウム中に捕獲され、この捕獲されたキャリヤ（捕獲中心）による寄生チャネルが発生しやすく、結果として、半導体被膜の電気

特性に悪影響を与えるため好ましくなかった。かかる捕獲中心を除去できるのであれば問題はないが、容易に除去できないのであれば、酸化珪素被膜のように半導体被膜に対して、電気的、化学的に好ましい材料（酸化珪素膜は窒化アルミニウム膜に比較して捕獲中心の密度は数十分の1しかない）を両被膜の間に設けることが好ましかった。さらに、酸化珪素膜においては、応力緩和の効果も期待できる。

40 【0013】また、窒化アルミニウムの上に窒化珪素膜を100～1000 Å、例えば、200 Å形成し、その上に酸化珪素膜を100～2000 Å、例えば、200 Å形成してもよかつた。本発明においては、ゲート電極の材料としては、シリコン（不純物がドーピングされて導電性が高められたものを含む）、アルミニウム、タンタル、クロム、タングステン、モリブデン等の単体、あるいはそれらの合金、もしくは多層膜を用いればよい。

また、実施例に示すように、その表面を酸化してもよい。

【0014】さらに、窒化アルミニウムはフッ素系のエッチャントではエッチングされず、したがって、酸化珪素やシリコン、アルミニウム等の通常の半導体プロセスで用いられる材料をエッチングする方法ではエッチングされないので、これを積極的にエッチングストッパーとして用いてもよい。すなわち、TFTのソース、ドレインのコンタクトとしては、ソース、ドレインの上面のみならず、側面をもコンタクトとして用いることができる。例えば、コンタクトホールをソース、ドレインからみ出して形成しても、窒化アルミニウムがエッチングストッパーとなって、基板がエッチングされることがない。

【0015】結果として、従来よりもソース、ドレイン領域を小さく形成できるので、回路の集積化にとって有利である。また、このことは、逆に、コンタクトホールを大きくすることが可能であることをも意味し、より確実なコンタクトを得ることができるので、量産性、信頼性にとっても有利である。

【0016】

【実施例】

【実施例1】 本発明によって、TFTを作製する例を図1に示す。まず、基板（コーニング7059ガラス基板、大きさは300mm×300mmもしくは100mm×100mm）101上に、厚さ2000～5000Åの窒化アルミニウム膜102を反応性スパッタ法によって堆積した。アルミニウムをターゲットとして、窒素とアルゴンの雰囲気でスパッタリングをおこなった。窒素の割合は20%以上とすると良好な熱伝導性を有する被膜が得られた。スパッタ時の圧力は、 $1 \times 10^{-4} \sim 1 \times 10^{-2}$ Torrで好ましい結果が得られた。成膜速度は20～200Å/分だった。また、成膜の際には基板温度を100～500℃に上昇させてもよい。

【0017】 窒化アルミニウム膜102は基板の両面に形成した。これは、基板中に含有されている、あるいは出荷後に表面に付着したナトリウム等の異元素がTFTの特性を劣化させないように封じ込める意味とともに、基板を強化して表面に傷が付きにくくする効果がある。特に、TFTをアクティブマトリクス方式の液晶表示装置に使用すると、TFTの設けられていない面は外部環境と接するのであるが、この面には微細な傷が付きやすく、このような傷は光を乱反射して、画面を暗くする。

【0018】 次に、窒化アルミニウムが形成されたガラス基板を600～680℃、例えば、640℃で4～12時間、窒素、アンモニア（NH₃）、もしくは亜酸化窒素（N₂O）の雰囲気中でアニールした。そして、0.01～0.5℃/分、例えば、0.2℃/分で徐冷し、350～450℃まで温度が低下したところで取り出した。この工程によって、反応性スパッタ直後には黄

色く着色していた基板が透明になり、また、電気的な絶縁性も向上した。さらに、このアニール工程では、ガラス基板の熱的な収縮が発生し、応力が緩和した結果、不可逆的な収縮が減少した。そのため、その後の熱処理工程において基板の縮みがなくなり、マスクずれが著しく減少した。

【0019】 上記アニール終了後、TFTを形成する面に下地酸化膜103として厚さ2000～500Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、

10 酸素雰囲気中でのスパッタ法やTEOSを酸素雰囲気のプラズマCVD法で分解・堆積した。さらに、このようにして形成した膜を450～650℃でアニールしてもよい。

【0020】 その後、図1（A）において、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を100～1500Å、好ましくは300～800Å堆積し、これをパターニングして、島状シリコン領域104を形成した。そして、厚さ200～1500Å、好ましくは500～1000Åの酸化珪素膜105を形成した。この酸化珪素膜はゲイト絶縁膜としても機能する。そのためその作製には十分な注意が必要である。ここでは、TEOSを原料とし、酸素とともに基板温度150～600℃、好ましくは300～450℃で、RFプラズマCVD法で分解・堆積した。TEOSと酸素の圧力比は1:1～1:3、また、圧力は0.05～0.5 Torr、RFパワーは100～250Wとした。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350～600℃、好ましくは400～550℃として形成した。成膜後、酸素もしくはオゾンの雰囲気で400～600℃で30～60分アニールした。

【0021】 そして、図1（A）に示すようにKrFエキシマーレーザー（波長248nm、パルス幅20ns）を照射して、シリコン領域104を結晶化させた。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²とし、また、レーザー照射の際には基板を300～500℃に加熱した。このようにして形成されたシリコン膜104の結晶性をラマン散乱分光法によって調べたところ、単結晶シリコンのピーク（521cm⁻¹）とは異なって、515cm⁻¹付近に比較的プロードなピークが観測された。その後、水素中で350℃で2時間アニールした。

【0022】 その後、厚さ2000Å～1μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターニングし、ゲイト電極106を形成した。アルミニウムにはスカンジウム（Sc）を0.15～0.2重量%ドーピングしておいてもよい。次に基板をpH=7、1～3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極、このアルミニウムのゲイト電極を陽極として、陽極酸化をおこなった。陽極酸化は、最初一定

電流で220Vまで電圧を上げ、その状態で1時間保持して終了した。本実施例では定電流状態では、電圧の上昇速度は2~5V/分が適当であった。このようにして、厚さ1500~3500Å、例えば、2000Åの陽極酸化物107を形成した。(図1 (B))

【0023】その後、イオンドーピング法(プラズマドーピング法ともいう)によって、各TFTの島状シリコン膜中に、ゲート電極部をマスクとして自己整合的に不純物(燐)を注入した。ドーピングガスとしてはオスフィン(PH_3)を用いた。ドーズ量は、 $1 \sim 4 \times 10^{15} \text{ cm}^{-2}$ とした。

【0024】さらに、図1 (C)に示すようにKrFエキシマーレーザー(波長248nm、パルス幅20ns等)を照射して、上記不純物領域の導入によって結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は150~400mJ/cm²、好ましくは200~250mJ/cm²であった。こうして、N型不純物(燐)領域108、109を形成した。これらの領域のシート抵抗は200~800Ω/□であった。本工程において、レーザーを用いるかわりに、フラッシュランプを使用して短時間に1000~1200℃(シリコンモニターの温度)まで上昇させ、試料を加熱する、いわゆる RTP(ラピッド・サーマル・プロセス)を用いてもよい。

【0025】その後、全面に層間絶縁物110として、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ3000Å形成した。基板温度は250~450℃、例えば、350℃とした。成膜後、表面の平坦性を得るために、この酸化珪素膜を機械的に研磨した。さらに、スパッタ法によってITO被膜を堆積し、これをパターニングして画素電極111とした。(図1 (D))

【0026】そして、層間絶縁物110をエッチングして、図1 (E)に示すようにTFTのソース/ドレインにコンタクトホールを形成し、クロムもしくは窒化チタンの配線112、113を形成し、配線113は画素電極111に接続させた。なお、この際には、図1 (F)に示すようにソース/ドレイン領域(島状シリコン)をはみだしてコンタクトホールを形成してもよい。この場合にはコンタクトホールのうち、島状シリコンをはみだした面積は30~70%であった。この場合には、ソース/ドレインの上面のみならず、側面においてもコンタクトが形成される。以下、このようなコンタクトをトップサイドコンタクトと称する。従来の構造において、トップサイドコンタクトを形成しようとすれば、層間絶縁物のエッチング工程によって、島状シリコン以外の部分の下地の酸化珪素膜、さらには、基板までエッチングされたが、本実施例では、窒化アルミニウム膜102がエッチングストッパーとなって、ここでエッチングが止ま

る。

【0027】通常の場合には、コンタクトホールの大きさは、ソース/ドレインよりも小さくする必要があったが、トップサイドコンタクトにおいては、逆にアイランドの大きさをコンタクトホールのよりも小さくでき、結果として、アイランドの微細化できる。また、逆にコンタクトホールを大きくすることができるので、量産性、信頼性を高めることができた。最後に、水素中で300~400℃で0.1~2時間アニールして、シリコンの水素化を完了した。このようにして、TFTが完成した。同時に作製した多数のTFTをマトリクス状に配列させてアクティブマトリクス型液晶表示装置とした。

【0028】【実施例2】本発明によって、TFTを作製する例を図2に示す。まず、基板(NHテクノグラス社製NA35ガラス)201上に、厚さ1000Å~5μmの窒化アルミニウム膜202を反応性スパッタ法によって堆積した。アルミニウムをターゲットとして、窒素とアルゴンの雰囲気でスパッタリングをおこなった。窒素の割合は20%以上とすると良好な熱伝導性を有する被膜が得られた。スパッタ時の圧力は、 $1 \times 10^{-1} \sim 1 \times 10^{-2}$ Torrで好ましい結果が得られた。成膜速度は20~200Å/分だった。また、成膜の際に基板温度を100~500℃に上昇させてもよい。

【0029】次に、下地酸化膜203として厚さ100~1000Å、例えば、500Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法やTEOSを酸素雰囲気のプラズマCVD法で分解・堆積した。その後、この膜を550~700℃、例えば、650℃で4時間、亜酸化窒素(N_2O)を20%含む窒素雰囲気中でアニールした。かくすると、窒化アルミニウム膜は透明になり、かつ、その上の酸化珪素膜を高密度化することができた。

【0030】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を200~1500Å、好ましくは300~800Å堆積し、600℃の窒素雰囲気中で48時間アニールした。こうして得られた結晶性シリコン膜をパターニングして、島状シリコン領域204を形成した。そして、ゲート絶縁膜207として、厚さ200~1500Å、好ましくは500~1000Åの酸化珪素を形成した。

【0031】そして、厚さ2000Å~5μmの燐が添加されたシリコン膜を減圧CVD法によって形成して、これをパターニングし、ゲート電極209、および配線208を形成した。その後、イオンドーピング法(プラズマドーピング法ともいう)によって、TFTの島状シリコン膜中に、ゲート電極部をマスクとして自己整合的に不純物(燐)を注入した。ドーピングガスとしてはオスフィン(PH_3)を用いた。ドーズ量は、 $1 \sim 8 \times 10^{15} \text{ cm}^{-2}$ とした。

【0032】さらに、KrFエキシマーレーザー(波長

248 nm、パルス幅20 nsec)を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は150～400 mJ/cm²、好ましくは200～250 mJ/cm²であった。こうして、N型不純物(燐)領域205、206を形成した。これらの領域のシート抵抗は200～800Ω/□であった。(図2(A))

【0033】その後、全面に層間絶縁物210としてプラズマCVD法、もしくは減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ3000Å形成した。さらに、フォトレジスト211を選択的に形成した。このようなフォトレジストは、配線の交差する部分もしくは配線にコンタクトが設けられる部分に形成すると良い。(図2(B))そして、図2(C)に示すように、フォトレジスト211をマスクとして、層間絶縁物210、ゲイト絶縁物207、さらに下地酸化珪素膜203をエッチングした。下地酸化珪素膜はエッチングされたが、窒化アルミニウム膜がストッパーとなって基板はエッチングされなかった。このため、平坦な表面が得られた。(図2(C))

【0034】そして、配線材料としてチタン膜(厚さ2000Å～5μm)を形成し、これをパターニングして、TFTのソース、ドレインに接続する配線212、213を形成した。さらに、ITOを選択的に形成して画素電極214とした。最後に、このようにして処理した基板を1気圧、350℃の水素中で30分間アニールして、水素化を完了した。このようにして、TFTが完成した。同時に作製した多数のTFTをマトリクス状に配列せしめてアクティブマトリクス型液晶表示装置とした。

【0035】【実施例3】本発明によって、TFTを作製する例を図3に示す。本実施例のTFTは、アクティブマトリクス回路とそれを駆動するための周辺回路を有するモノリシック型アクティブマトリクス回路における周辺回路のTFT、特にチャネル幅が200～800μmのドライバーティアにに関するものである。このようなドライバーティアは大きな電流を制御することから発熱量が大きい。そのため、本発明の下地膜による迅速な熱の放散が望まれる。

【0036】まず、基板(コーニング7059)301上に、厚さ2000～5000Åの窒化アルミニウム膜302を反応性スパッタ法によって堆積した。アルミニウムをターゲットとして、窒素とアルゴンの雰囲気でスパッタリングをおこなった。窒素の割合は20%以上とすると良好な熱伝導性を有する被膜が得られた。スパッタ時の圧力は、1×10⁻⁴～1×10⁻² Torrで好ましい結果が得られた。成膜速度は20～200Å/分だった。また、成膜の際には基板温度を100～500℃に上昇させててもよい。

【0037】次に、下地酸化膜303として厚さ100

0～2000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中のスパッタ法やTEOSを酸素雰囲気のプラズマCVD法を用いればよい。その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を1000～3000Å、好ましくは1000～1500Å堆積し、600℃の窒素雰囲気中で48時間アニールした。こうして得られた結晶性シリコン膜をパターニングして、島状シリコン領域304を形成した。そして、ゲイト絶縁膜305として、厚さ200～1500Å、好ましくは500～1000Åの酸化珪素を形成した。

【0038】そして、厚さ2000Å～5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターニングし、さらに、実施例1と同様の条件で陽極酸化処理を施して、ゲイト電極306、および配線307を形成した。(図3(A))その後、イオンドーピング法(プラズマドーピング法ともいう)によって、TFTの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に不純物(燐)を注入した。ドーピングガスとしてはfosfin(Ph₃)を用いた。ドーズ量は、2～8×10¹⁵ cm⁻²とした。(図3(B))

【0039】そして、下地酸化珪素膜303をエッチングした。エッチングは窒化アルミニウム膜302がストッパーとなって止まった。この状態で、KrFエキシマーレーザー(波長248 nm、パルス幅20 nsec)を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は100～400 mJ/cm²、好ましくは100～150 mJ/cm²であった。燐やホウ素を含有する酸化珪素膜は紫外光を吸収するので、実施例1のように、スルードーピング後に、引き続いてレーザーアニールをおこなうには強力なレーザー光が必要であった。しかし、本実施例では、ドーピング後に酸化珪素膜(ゲイト絶縁膜)が除去されていると、レーザーのエネルギーは少なくても良かった。このためレーザー処理のスループットを向上させることができた。こうして、N型不純物(燐)領域308、309を形成した。これらの領域のシート抵抗は200～800Ω/□であった。(図3(C))

【0040】その後、全面に層間絶縁物310としてプラズマCVD法、もしくは減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ2000～3000Å形成し、配線材料としてアルミニウム膜(厚さ2000Å～5μm)を形成し、これをパターニングして、TFTのソース、ドレインに接続する配線311、312を形成した。配線312と配線307は図に示すように交差する。(図3(C))

【0041】最後に、このようにして処理した基板を1気圧、350℃の水素中で30分間アニールして、水素化を完了した。このようにして、TFTが完成した。同

様に不純物領域にホウ素をドーピングしてPチャネル型のTFTも作製し、CMOS回路を作製した。Nチャネル型、Pチャネル型の典型的な電界効果移動度は、それぞれ、80～150cm²/Vs、40～100cm²/Vsであった。また、このTFTで作製したシフトレジスタは、ドレイン電圧17Vにおいて、11MHzで動作することが確認された。

【0042】さらに、ゲートやドレインに長時間(～96時間)にわたって高電圧(>20V)を印加しても特性の劣化は少なかった。これは、TFTで局的に発生した熱が速やかに放散され、半導体被膜やゲート絶縁膜との界面からの水素の離脱が抑制されたためである。実際に、長時間のバイアス印加状態(ゲート電圧11V、ドレイン電圧14V)における発熱の状態をサーモグラフィー(日本アビオニクス社製)によって確かめたところ、本実施例によるTFTでは恒常的な温度上昇は見られず、せいぜい、50℃程度の温度までしか上昇しなかった。しかしながら、従来のTFT(下地膜として窒化アルミニウム膜を有しない)では、同条件では、短時間のうちに100℃以上にまで加熱され、素子特性が著しく劣化した。このように、本発明の効果は顕著に確かめられた。

【0043】【実施例4】本実施例はアクティブマトリクス型液晶ディスプレーの画素部分の形成方法を示す。図4および図5に本実施例を示す。まず、基板401としては、コーニング7059を用いた。基板は、下地膜の成膜の前もしくは後に、歪み温度よりも高い温度でアニールをおこなった後、0.1～1.0℃/分で歪み温度以下まで徐冷すると、その後の温度上昇を伴う工程での基板の収縮が少なく、マスク合わせが用意となる。コーニング7059基板では、620～660℃で1～4時間アニールした後、0.03～1.0℃/分、好ましくは、0.1～0.3℃/分で徐冷し、450～590℃まで温度が低下した段階で取り出すとよい。本実施例では、630℃で4時間アニールしたのち、0.2℃/分で徐冷した。

【0044】そして、基板401上に厚さ0.1～2μm、好ましくは0.2～0.5μm例えば0.3μmの窒化アルミニウム膜402を反応性スパッタ法によって堆積した。アルミニウムをターゲットとして、窒素とアルゴンの雰囲気でスパッタリングをおこなった。窒素の割合は20%以上とすると良好な熱伝導性を有する被膜が得られた。スパッタ時の圧力は、1×10⁻⁴～1×10⁻²Torrで好ましい結果が得られた。成膜速度は20～200Å/分だった。また、成膜の際には基板温度を100～500℃に上昇させてもよい。この窒化アルミニウム膜402の成膜は、前記の基板アニール処理の前でもよかった。その後、スパッタリング法によって厚さ0～1000Å、好ましくは20～500Å、例えば200Åの非常に薄い酸化珪素の下地膜403を形成し

た。

【0045】下地膜成膜後、プラズマCVD法によって、厚さ300～1500Å、例えば1000Åの真性(I型)のアモルファスシリコン膜404を成膜した。さらに、プラズマCVD法によって、厚さ200～2000Å、例えば500Åの酸化珪素もしくは窒化珪素のマスク膜405を成膜した。そして、このマスク膜405に選択的に孔406を形成した。さらに、スパッタリング法によって、厚さ5～200Å、例えば20Åのニッケル膜407を成膜した。ニッケル膜の代わりに珪化ニッケル膜(化学式Ni_{1-x}Si_x、0.4≤x≤2.5、例えば、x=2.0)を用いてもよい。また、ニッケル以外にも銅、パラジウム等にも同様にアモルファスシリコンを結晶化させる触媒作用があるので、これらを用いてもよい。(図4(A))

【0046】そして、不活性雰囲気下(窒素もしくはアルゴン、大気圧)、550℃、で4～8時間、例えば8時間アニールして結晶化させた。この工程で、ニッケルが孔406の部分からシリコン膜中に導入された。ニッケルは、アモルファスシリコンに対しては、触媒的に作用して結晶化を促進させるため、最初に孔406の直下の領域410が結晶化した。しかし、この領域では結晶性はランダムであった。その後、ニッケルの拡散とともに結晶化は、孔406から周囲に広がり、図の矢印の方向に結晶化が進行し、領域409が結晶化した。領域409では、結晶化が一方向に進行するため、良好な結晶性が得られた。領域408は未結晶化領域である。結晶化領域の大きさはアニール時間に依存した。マスク膜405が薄いと、ニッケルが孔406以外から侵入して、結晶化が開始されるので、良好な結晶性を得る目的上、好ましくなかった。したがって、マスク膜405は、本実施例のように少なくとも500Åは必要であった。

(図4(B))

【0047】この工程の後に、公知のフォトリソグラフィー法によって、シリコン膜404をパターニングして、TFTの島状の活性層411を形成した。この際、チャネル形成領域となる部分に横方向の結晶成長の先端部(すなわち、結晶化領域409と未結晶化領域408の境界)、およびニッケルが直接、導入された領域410(いずれも、ニッケルの濃度が大きい)が存在しないようにすることが重要である。このようにすることで、ソース/ドレイン間を移動するキャリアがチャネル形成領域において、ニッケル元素の影響を受けないようにすることができる。本実施例では選択的にニッケルをシリコン膜に導入し、横方向の結晶化領域409のみをTFTの活性層に用いたが、このような選択的なニッケルの導入をおこなわずに、ニッケルを一様に導入して、結晶化させたシリコン膜を用いてもよい。ただし、その場合のTFTの特性は、前者に比較してやや劣る。

【0048】図4(C)は、シリコン膜404のエッ

チングの途中の様子が示されている。すなわち、島状活性層411上には、マスク膜およびフォトレジスト412が存在する。このエッティング工程では下地の酸化珪素膜403もエッティングされた。（図4（C））本工程の後、フォトレジストを剥離し、さらに、活性層411上のマスク膜をもエッティングする必要がある。これは通常、フッ化水素酸系のエッチャントを用いておこなわれるが、従来のTFTプロセスにおいては、下地膜として、酸化珪素膜のみを用いていたので、マスク膜のエッティングの際に、下地膜も同様にエッティングされる（この場合には、少なくともマスク膜の厚さ500Åだけ、下地膜がエッティングされる）ことが問題であった。500Åもの段差は、あとでゲート電極を形成した場合において、ゲート電極の断線の大きな原因であった。このため、マスク膜を薄くすることが必要とされたが、マスク膜があまりに薄いと、上述のように選択的な結晶化をおこなうに際して不都合があった。

【0049】しかしながら、本実施例では、下地膜として、フッ化水素酸によってほとんどエッティングされない窒化アルミニウム膜を用いていたので、マスク膜のみを選択的にエッティングできた。問題の段差も、シリコン膜の厚さ（1000Å）に下地の酸化珪素膜403の厚さ t （=200Å）を加えただけでおさまり、その後のゲート電極の断線の問題は生じなかった。

【0050】このように活性層を形成した後、0.5~4μmここでは0.8~1.4μmにピークをもつ赤外光を30~180秒照射し、活性層の結晶化をさらに助長させた（光アニール（ランプアニール）工程、もしくはRTP）。温度は800~1300℃、代表的には900~1200℃、例えば1100℃とした。この温度は、同時にモニターとしてセットされた単結晶シリコン基板内の熱電対の温度であり、実際の基板表面の温度ではない。活性層の表面の状態を良くするために、照射はH₂雰囲気中でおこなった。本工程は、活性層を選択的に加熱することになるので、ガラス基板への加熱を最小限に抑えることができる。そして、活性層中の欠陥や不純物を減少させるのに非常に効果がある。このときに問題になることは、本実施例では、選択的な結晶化工程を用いているので、赤外線の吸収がシリコン膜の場所によって異なることであった。例えば、活性層411内においても、図の右側では結晶成分が多いために上記の赤外線を吸収しやすく、一方、左側ではアモルファス成分が多いために、赤外線を吸収しにくいというような現象が観察された。

【0051】しかし、本実施例では、下地膜に熱伝導率のよい、窒化アルミニウム膜を用いているので、上記の赤外線の照射によって、シリコン膜が吸収した熱は、シリコン膜の特定の場所に蓄積されることなく、下地膜を通じてただちに拡散するため、シリコン膜が均一に加熱され、熱的な歪みが生じることがなく、シリコン膜の均

一性を高めることができた。その後、プラズマCVD法によって厚さ1000Åの酸化珪素膜413をゲート絶縁膜として成膜した。CVDの原料ガスとしてはTEOS（テトラ・エトキシ・シラン、Si(O₂H₂)₄）と酸素を用い、成膜時の基板温度は300~550℃、例えば400℃とした。

【0052】このゲート絶縁膜となる酸化珪素膜413の成膜後に、可視・近赤外光の照射による光アニールを再度行なった。このアニールによって、主に酸化珪素膜413とシリコン活性層411との界面及びその近傍における準位を消滅させることができた。これは、ゲート絶縁膜とチャネル形成領域との界面特性が極めて重要である絶縁ゲート型電界効果半導体装置にとって極めて有用である。

【0053】引き続いて、スパッタリング法によって、厚さ3000~8000Å、例えば5000Åのアルミニウム（0.01~0.2%のスカンジウムを含む）を成膜した。そして、アルミニウム膜をパターニングして、ゲート電極と配線を形成した。さらに、このアルミニウムの電極および配線の表面を陽極酸化して、表面に酸化物層を形成した。この陽極酸化は、酒石酸が1~5%含まれたエチレングリコール溶液中で行った。得られた酸化物層の厚さは2000Åであった。このようにして、ゲート電極部（すなわち、ゲート電極とその周囲の酸化物層）414および配線部415形成した。ゲート電極はこの他にも、多結晶シリコンやチタン、タングステン、タンタル等の金属、あるいはそれらの金属のシリサイドを単層、あるいは多層にして用いてよい。（図4（D））

【0054】次に、イオンドーピング法（プラズマドーピング法とも言う）によって、活性層領域（ソース/ドレイン、チャネルを構成する）にゲート電極部414をマスクとして、自己整合的にN導電型を付与する不純物を添加した。ドーピングガスとしてはフォスфин（PH₃）を用い、加速電圧を60~90kV、例えば80kVとした。ドース量は 1×10^{15} ~ 8×10^{15} cm⁻²、例えば、 2×10^{15} cm⁻²とした。この結果、N型の不純物領域416と417が形成された。この不純物領域416、417には、チタン等のシリサイドを形成してもよい。

【0055】その後、レーザー光の照射によってアニールを行った。レーザー光としては、KrFエキシマレーザー（波長248nm、パルス幅20nsec）を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200~400mJ/cm²、例えば250mJ/cm²とし、一か所につき2~10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を200~450℃程度に加熱することによって、効果を増大せしめてよい。

【0056】また、この工程は、可視・近赤外光による

ランプアニールによる方法でもよい。可視・近赤外線は結晶化した珪素、または燐またはホウ素が $10^{19} \sim 10^{21} \text{ cm}^{-3}$ 添加された非晶質珪素へは吸収されやすく、 1000°C 以上の熱アニールにも匹敵する効果的なアニールを行うことができる。燐またはホウ素が添加されると、その不純物散乱により、近赤外線でも十分光が吸収される。このことは肉眼による観察でも黒色であることから十分に推測がつく。その反面、ガラス基板へは吸収されにくいので、ガラス基板を高温に加熱することができなく、また短時間の処理ですむので、ガラス基板の縮みが問題となる工程においては最適な方法であるといえる。本実施例においては下地膜として熱伝導度の高い窒化アルミニウム膜を用いているので、このようなアニール工程においても、1か所に熱が蓄積された熱的な破壊をもたらすことはなかった。特に、熱的に弱いアルミニウムをゲート電極を用いるだけに、下地膜として窒化アルミニウム膜を用いることは好ましかった。

【0057】その後、厚さ $3000 \sim 8000\text{\AA}$ 、例えば、 6000\AA の酸化珪素膜418を層間絶縁物としてプラズマCVD法によって形成した。この層間絶縁物としてはポリイミドまたは酸化珪素とポリイミドの2層膜を利用してもよい。さらに、スパッタ法によって、厚さ 800\AA のITO膜を成膜し、これパターニングして画素電極419を形成した。そして、層間絶縁物を緩衝フッ化水素酸(HF/NH₄F = 0.01 ~ 0.2、例えば、0.1)でエッチングしてコンタクトホール422、423を形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線420、421を形成した。最後に、1気圧の水素雰囲気で 350°C 、30分のアニールを行い、TFTを相補型に構成した半導体回路を完成した。(図4(E))

【0058】本実施例では特に、コンタクトホール422、423は活性層の端部に形成し、一部は活性層からはみ出すような形状とした。このような形状としても、本実施例では下地膜として窒化アルミニウム膜を用いているので、基板へのオーバーエッチはほとんどなく、再現性良くTFTを形成することができた。図5(A)に本発明によって作製した。TFTを上から見た図を示すが、活性層411は直線状とし、その両端にコンタクトホール422、423を活性層からはみ出す形状に形成した。活性層とゲート配線415の間隔は x_1 の距離に、また、活性層と画素電極419の距離は x_2 を保つように配置した。これはミスアライメントによる線の重なりを防止するためである。本実施例では活性層の面積が小さいので、画素電極の面積を大きく、また、配線の専有する面積を小さくできる。

【0059】図5(B)には、従来のTFTを上から見た様子を、また、図5(C)にはその断面を示したもので、図5(B)から明らかなように、活性層はゲート電極部分ではくびれて細く、ソース、ドレインの領域では

太くなっている。これは、コンタクトホール522、523を活性層のソース516、ドレイン517に確実に形成するためであり、オーバーエッチの心配からコントタクトホールがミスアライメントがあっても、活性層の部分に形成されるようにするためである。

【0060】しかしながら、このような構造では活性層面積が大きくなり、ゲート配線515や画素電極519との重なりを防止するために、それぞれ x_1 、 x_2 だけ活性層から離して形成すると、図からも明らかなように、配線は大回りとなり、画素電極の面積は削減される。図5(A)および図5(B)の点線の長方形は同じ面積を示すが、このことからも、従来の方法では、TFTとそれに接続する配線の占める面積が大きく、画素の面積が小さく、逆に本実施例では、TFTとその配線の占める面積が小さく、画素の面積が大きくなっていることが分かる。このように、本実施例により、画素/配線の比率を向上させ、ひいては液晶表示装置の開口率向上や画素の微小化が実現できる。これらは、いずれも液晶表示装置の品質の向上につながるものである。

【0061】【実施例5】本実施例はアクティブマトリクス型液晶ディスプレーの画素部分の形成方法を示す。図6に本実施例を示す。まず、基板601としては、コーニング7059を用いた。最初に、基板601上に厚さ $0.1 \sim 2\text{\mu m}$ 、好ましくは $0.2 \sim 0.5\text{\mu m}$ 、例えば、 0.3\mu m の窒化アルミニウム膜602を実施例4と同様に反応性スパッタ法によって堆積した。その後、スパッタリング法によって厚さ $0 \sim 1000\text{\AA}$ 、好ましくは $20 \sim 500\text{\AA}$ 、例えば 200\AA の非常に薄い酸化珪素の下地膜603を形成した。下地膜成膜後、厚さ $300 \sim 1500\text{\AA}$ 、例えば 800\AA の島状の結晶性シリコン領域604を形成した。さらに、プラズマCVD法によって厚さ 1000\AA の酸化珪素膜605をゲート絶縁膜として成膜した。CVDの原料ガスとしてはTEOSと酸素を用いた。

【0062】その後、厚さ $1000\text{\AA} \sim 3\text{\mu m}$ 、例えば、 6000\AA のアルミニウム膜(1wt%のSi、もしくは $0.1 \sim 0.3\text{wt\%}$ のScを含む)を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトレジスト(例えば、東京応化製、OFPR800/30cp)をスピンドルコート法によって形成した。フォトレジストの形成前に、アルミニウム膜の全表面に陽極酸化法によって厚さ $100 \sim 1000\text{\AA}$ の酸化アルミニウム膜を表面に形成しておくと、フォトレジストとの密着性が良く、また、フォトレジストからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトレジストとアルミニウム膜をパターニングして、アルミニウム膜と一緒にエッチングし、配線606、ゲート電極607を形成した。これらの配線、ゲート電極の上には前記のフォトレジスト60

8、609が残されており、これは後の陽極酸化工程において陽極酸化防止のマスクとして機能する。(図6 (A))

【0063】そして、上記の配線、ゲート電極に電解液中で電流を通じて陽極酸化し、厚さ3000Å～25μm、例えば、厚さ0.5μmの陽極酸化物610、611を配線、ゲート電極の側面に形成した。陽極酸化は、3～20%のクエン酸もしくはショウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いておこない、5～30V、例えば、8Vの一定電流をゲート電極に印加しておこなった。このようにして形成された陽極酸化物は多孔質なものであった。本実施例では、シュウ酸溶液(30～80℃)中で電圧を8Vとし、20～240分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間および温度によって制御した。(図6 (B))

【0064】次に、マスク608、609を除去し、再び電解溶液中において、ゲート電極・配線に電流を印加した。今回は、3～10%の酒石液、硼酸、硝酸が含まれたPH=7のエチレングルコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜を得られた。このため、ゲート電極・配線606、607の上面および側面にバリヤ型の陽極酸化物612、613が形成された。バリヤ型陽極酸化物の厚さは印加電圧に比例し、例えば、印加電圧が100Vで1200Åの陽極酸化物が形成された。本実施例では、電圧は100Vまで上昇させたので、得られたバリヤ型陽極酸化物の厚さは1200Åであった。バリヤ型の陽極酸化物の厚さは任意であるが、あまり薄いと、後で多孔質陽極酸化物をエッチングする際に、アルミニウムを溶出させてしまう危険があるので、500Å以上が好ましかった。

【0065】注目すべきは、バリヤ型の陽極酸化物は後の工程で得られるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、多孔質陽極酸化物とゲート電極の間にバリヤ型の陽極酸化物が形成されることである。(図6 (C))その後、ドライエッチング法によって酸化珪素膜605をエッチングした。このエッチングにおいては、等方性エッチングのプラズマモードでも、あるいは異方性エッチングの反応性イオンエッチングモードでもよい。ただし、珪素と酸化珪素の選択比を十分に大きくすることによって、活性層を深くエッチングしないようにすることが重要である。例えば、エッチングガスとしてCF₄を使用すれば陽極酸化物はエッチングされず、したがって、ゲート電極・配線の下に存在する酸化珪素膜614、615はエッチングされずに残った。また、このエッチング工程においても、窒化アルミニウム膜602がストッパーなるため、これ以上のエッチングは進行せず、段差を最小限に食い止めることができた。

【0066】その後、磷酸、酢酸、硝酸の混酸を用いて多孔質陽極酸化物612、613をエッチングした。そ

して、イオンドーピング法によって、TFTの活性層604に、ゲート電極部(すなわちゲート電極とその周囲の陽極酸化膜)およびゲート絶縁膜615をマスクとして自己整合的に不純物を注入した。この際には、イオンの加速電圧とドーズ量によって、不純物領域にさまざまな組み合わせが考えられる。例えば、加速電圧を50～90kVと高めに設定し、ドーズ量を1×10¹³～5×10¹⁴c m⁻²と低めにすれば、領域616、617には、ほとんどの不純物イオンは活性層を通過し、下地膜で最大の濃度を示す。このため、領域616、617は極めて低濃度の不純物領域となる。一方、上にゲート絶縁膜615の存在する領域618では、ゲート絶縁膜によって高速のイオンが減速されて、ちょうど、不純物濃度が最大となり、低濃度の不純物領域を形成することができる。

【0067】逆に、加速電圧を5～30kVと低めに設定し、ドーズ量を5×10¹⁴～5×10¹⁵c m⁻²と多めにすれば、領域616、617には、多くの不純物イオンが注入され、高濃度の不純物領域となる。一方、上にゲート絶縁膜615の存在する領域618では、ゲート絶縁膜によって低速のイオンが妨げられて、不純物イオンの注入量は低く、低濃度の不純物領域を形成することができる。このように、いずれの方法を用いても、領域618は低濃度の不純物領域となり、本実施例では、いずれの方法を採用してもよい。このようにして、イオンドーピングをおこない、N型の低濃度不純物領域618を形成した後、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図6 (D))

【0068】さらに、全面に適当な金属、例えば、チタン、ニッケル、モリブデン、タンクスチタン、白金、パラジウム等の被膜、例えば、厚さ50～500Åのチタン膜619をスパッタ法によって全面に形成した。この結果、金属膜(ここではチタン膜)619は高濃度(もしくは極低濃度)不純物領域616、617に密着して形成された。(図6 (E))

【0069】そして、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、金属膜(ここではチタン)と活性層のシリコンを反応させ、金属珪化物(ここでは珪化チタン)の領域620、621を形成した。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。また、レーザー照射時には基板を200～500℃に加熱しておくと、チタン膜の剥離を抑制することはできた。

【0070】この後、過酸化水素とアンモニアと水とを5：2：2で混合したエッチング液で未反応のチタン膜のエッチングした。露出した活性層と接触した部分以外のチタン膜(例えば、ゲート絶縁膜や陽極酸化膜上に存

在したチタン膜)はそのまま金属状態で残っているが、このエッティングで除去できる。一方、金属珪化物である珪化チタン620, 621はエッティングされないので、残存させることができた。本実施例では、珪化物領域620, 621のシート抵抗は10~50Ω/□となつた。一方、低濃度不純物領域618では10~100kΩ/□であった。

【0071】その後、全面に層間絶縁物622として、CVD法によって酸化珪素膜を厚さ2000Å~1μm、例えば、5000Å形成した。そして、スパッタ法によってITO膜を形成し、これをパターニング・エッティングして、画素電極623を形成した。さらに、層間絶縁物622をエッティングし、コンタクトホールを形成した、この際にも、実施例1および実施例4と同様に、コンタクトホールがソス/ドレインからはみ出すようなパターンとした。このようなパターンがTFTの量産性、信頼性を向上させることは先に述べた通りである。そして、2000Å~1μm、例えば5000Åの厚さの窒化チタンとアルミニウムの多層膜による配線・電極624、625を形成した。(図6(F))

【0072】

【発明の効果】本発明によって、長時間の電圧印加に対しても十分な信頼性を示す、信頼性の高いTFTを作製することが出来た。また、活性層やコンタクトの配置においても従来にない自由度を得ることができ、素子の微細化が実現できた。このように本発明は工業的価値が大きな発明であるが、特に大面積基板上にTFTを形成し、これをアクティブマトリクスや駆動回路に利用することによる産業上のインパクトは大きい。

【0073】実施例では示さなかったが、本発明を単結晶結晶ICやその他のICの上にさらに半導体回路を積

み重ねるといふいわゆる立体ICを形成することに用いてよい。また、実施例では主として各種LCDに本発明を使用する例を示したが、その他の絶縁基板上に形成することが要求される回路、例えばイメージセンサー等においても本発明が実施できることは言うまでもない。

【図面の簡単な説明】

【図1】本発明によるTFTの作製方法を示す。(実施例1)

【図2】本発明によるTFTの作製方法を示す。(実施例2)

【図3】本発明によるTFTの作製方法を示す。(実施例3)

【図4】本発明によるTFTの作製方法を示す。(実施例4)

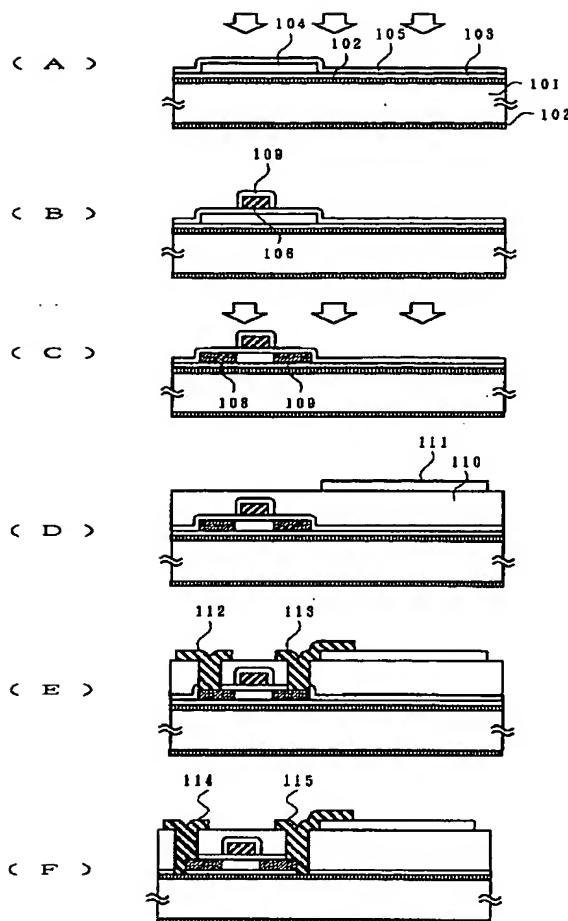
【図5】本発明によるTFTおよび従来のTFTの対比をしめす。(実施例4)

【図6】本発明によるTFTの作製方法を示す。(実施例5)

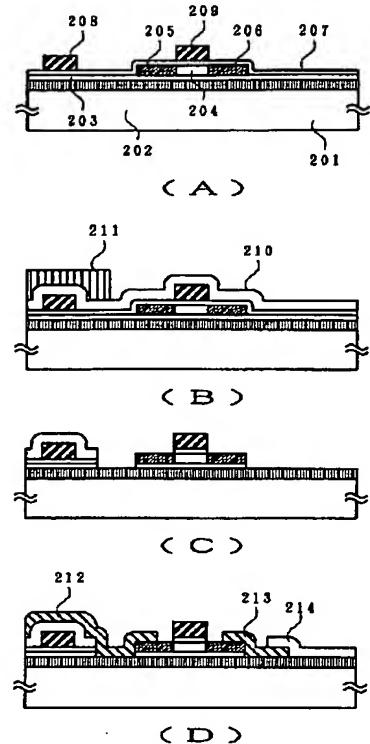
【符号の説明】

20	101	基板
	102	窒化アルミニウムを主成分とする被膜
	103	酸化珪素を主成分とする被膜
	104	島状半導体領域(シリコン)
	105	ゲート絶縁膜(酸化珪素)
	106	ゲート電極(アルミニウム)
	107	陽極酸化物(酸化アルミニウム)
	108、109	N型不純物領域
	110	層間絶縁物(酸化珪素)
	111	画素電極(ITO)
30	112、113	金属配線(クロムもしくは窒化チタン)

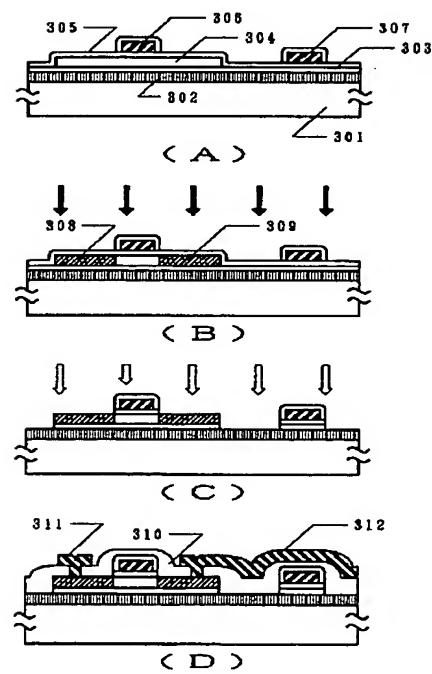
【図 1】



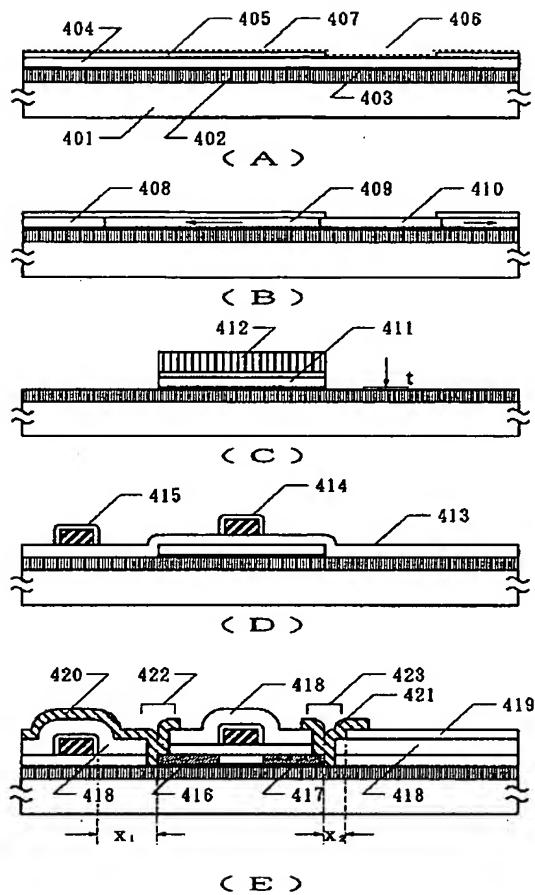
【図 2】



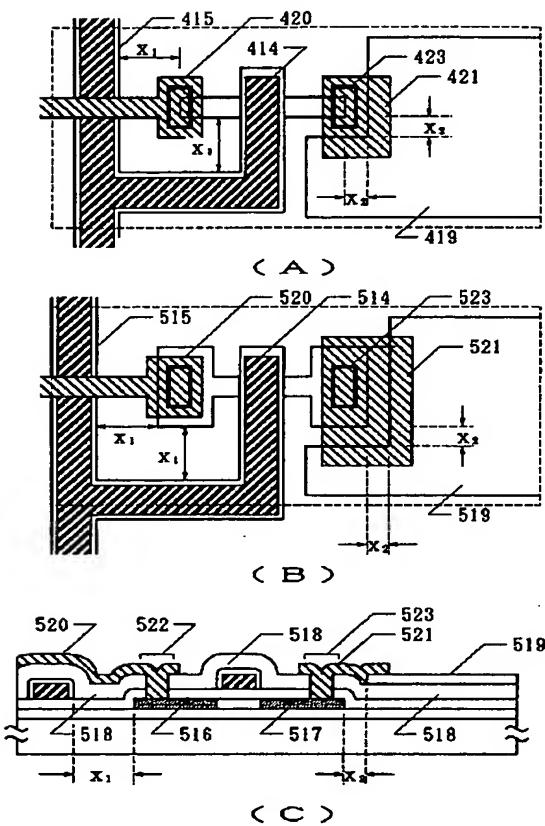
【図 3】



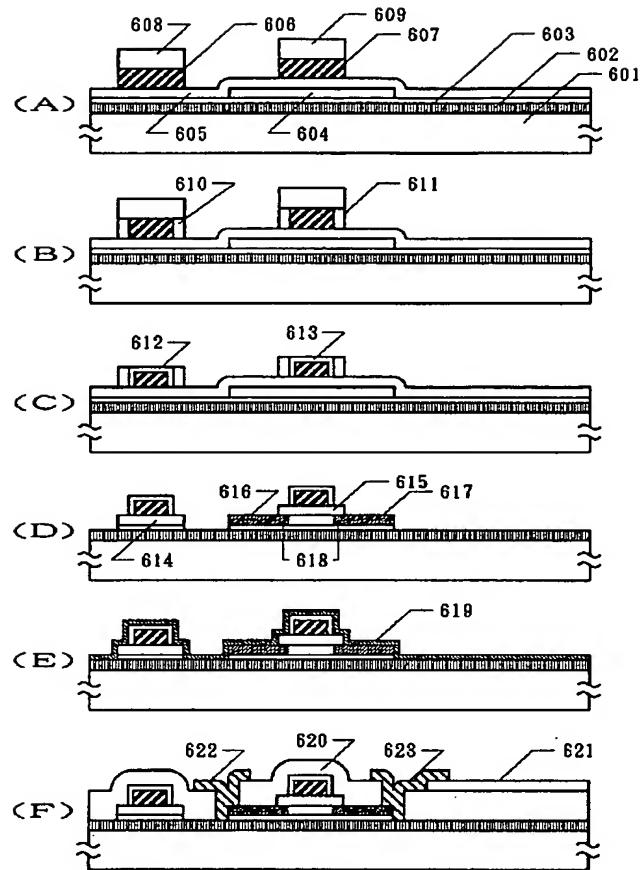
【図4】



【図5】



【図 6】



【手続補正書】

【提出日】平成 6 年 2 月 9 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】 本発明による TFT の作製方法を示す。 (実施例 1)

【図 2】 本発明による TFT の作製方法を示す。 (実施例 2)

【図 3】 本発明による TFT の作製方法を示す。 (実施例 3)

【図 4】 本発明による TFT の作製方法を示す。 (実施例 4)

【図 5】 本発明による TFT および従来の TFT の対

比をしめす。 (実施例 4)

【図 6】 本発明による TFT の作製方法を示す。 (実施例 5)

【符号の説明】

101	基板
102	窒化アルミニウムを主成分とする被膜
103	酸化珪素を主成分とする被膜
104	島状半導体領域 (シリコン)
105	ゲート絶縁膜 (酸化珪素)
106	ゲート電極 (アルミニウム)
107	陽極酸化物 (酸化アルミニウム)
108、109	N型不純物領域
110	層間絶縁物 (酸化珪素)
111	画素電極 (ITO)
112、113	金属配線 (クロムもしくは窒化チタン)